

MATERIAL FOR INFORMATION DISCLOSURE STATEMENT
(Our Ref.: Y-282)

List of Prior Art References

1. Japanese Patent Registered No. 2845847,
registered on October 30, 1998

Comments

Reference 1

This reference discloses a semiconductor integrated circuit incorporating a custom-made circuit portion that are so configured as to meet a user's requirements. However, this reference makes no mention of redundancy circuits or multilayer conductors.

By contrast, according to the present invention, a semiconductor integrated circuit device has a first semiconductor chip having a nonvolatile memory for storing redundancy information, and has a second semiconductor chip having a conversion circuit for converting the redundancy information output in the form of serial data from the nonvolatile memory into parallel data and a redundancy circuit of which the output state is definitely set by receiving the parallel data output from the conversion circuit. This permits the output state of the redundancy circuit to be definitely set easily even with an increased number of conductor layers.

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 2日
Date of Application:

出願番号 特願2002-349987
Application Number:

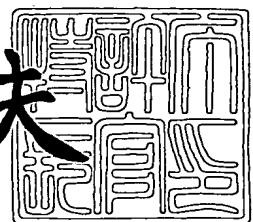
[ST. 10/C] : [JP2002-349987]

出願人 ローム株式会社
Applicant(s):

2003年11月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3096271

【書類名】 特許願

【整理番号】 PR100469

【提出日】 平成14年12月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明の名称】 半導体集積回路装置

【請求項の数】 1

【発明者】

【住所又は居所】 京都市右京区西院溝崎町21番地 ローム株式会社内

【氏名】 佐藤 和生

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 兀長情報を格納する不揮発性メモリを有する第1の半導体チップと、

該不揮発性メモリからシリアルデータとして出力される冗長情報をパラレルデータに変換する変換回路及び該変換回路から出力されるパラレルデータを入力することで出力状態が確定する冗長回路を有する第2の半導体チップと、

を備え、前記不揮発性メモリと前記変換回路とがバンプを介して接続されることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路装置に関するものである。特に、冗長回路を備える半導体集積回路装置に関するものである。

【0002】

【従来の技術】

メモリ等の半導体集積回路では、製品歩留まりを向上させるために通常冗長回路が組み込まれ、有効な回路ブロックを選択するようになっている。従来の冗長回路の一構成例を図4に示す。図4の冗長回路は、N+1個のアドレスプログラム回路A P 0～A P Nと、アドレスプログラム回路A P 0～A P Nの各出力の論理積である信号R E D E Nを出力するアンド回路14とを有している。各アドレスプログラム回路は、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)、フューズ素子、判定回路によって構成される。

【0003】

ここで、アドレスプログラム回路A P 0の構成について説明する。nチャネル形MOSFET11のソースに定電圧Vccが供給され、MOSFET11のゲートにゲート信号NENが供給され、MOSFET11のドレインがフューズ素子12を介して接地される。また、MOSFET11とフューズ素子12との接

続ノードに判定回路13が接続される。判定回路13は入力信号A(0)を入力し、MOSFET11とフューズ素子12との接続ノード電位に応じて出力信号PROG(0)を出力する。なお、アドレスプログラム回路AP1～APNについてはアドレスプログラム回路AP0と同様の構成であるので説明を省略する。

【0004】

アドレスプログラム回路AP0～APNに設けられるフューズ素子にはポリフューズ（多結晶シリコンからなるフューズ素子）がよく用いられる。冗長回路のポリフューズ周辺の模式的な断面図を図5に示す。LOCOS15の上部にポリフューズ16が形成され、ポリフューズ16の上部に保護膜（パシベーション）17が形成される。また、ポリフューズ16をレーザーによって切断しやすいよう窓18が設けられる。さらに、保護膜17の内部には多層配線19が形成される。

【0005】

半導体集積回路の不良箇所に応じてレーザー切断されるポリフューズ16が決定され、ポリフューズ16がレーザーによって切断されることで図4に示す冗長回路の出力状態が確定する。

【0006】

【特許文献1】

特許2845847号公報 (第2-3頁)

【0007】

【発明が解決しようとする課題】

しかしながら、半導体集積回路、特に最近の高機能な半導体集積回路では配線の多層化が進んでおり、保護膜17の厚みh(図5参照)が厚くなってくると、窓の大きさを大きくしなければレーザーによるポリフューズ16の切断が困難になる傾向にあった。そして、今後配線の多層化がさらに進めば、既存のレーザー設備のままではデザインルールに従って窓を小さくしていくとポリフューズのレーザー切断が不可能になるという問題がある。

【0008】

また、ポリフューズではなく、メタルヒューズをフューズ素子として用いる構

成の冗長回路もある。このような構成の冗長回路では、メタルヒューズを保護膜の表面層近傍（上部）に設けることができるので、配線の多層化が進んで保護膜の厚みが厚くなってもレーザーによる切断が困難になることはない。しかしながら、メタルヒューズはポリヒューズに比べてレーザー切断後の再溶着等による切断不良が生じる可能性が高いので、切断窓をポリヒューズの場合よりも大きくとる必要があった。

【0009】

なお、特許文献1では、ユーザの要求を盛り込んだカスタム回路部分を含む半導体集積回路が開示されているが、冗長回路や配線の多層化については何ら言及されていない。

【0010】

本発明は、上記の問題点に鑑み、多層化配線の層数が増加しても冗長回路の出力状態を容易に確定することができる半導体集積回路装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る半導体集積回路装置においては、冗長情報を格納する不揮発性メモリを有する第1の半導体チップと、該不揮発性メモリからシリアルデータとして出力される冗長情報をパラレルデータに変換する変換回路及び該変換回路から出力されるパラレルデータを入力することで出力状態が確定する冗長回路を有する第2の半導体チップと、を備え、前記不揮発性メモリと前記変換回路とがバンプを介して接続されるようにする。

【0012】

【発明の実施の形態】

以下に本発明の一実施形態について図面を参照して説明する。本発明に係る半導体集積回路装置の外観図を図1に示す。第1の半導体チップ1と第2の半導体チップ2とがバンプ（図示せず）によって接続されている。第2の半導体チップ2はメモリICやメモリ回路やCPU回路を組み込んだエンベデッドICと言われるような半導体集積回路（図示せず）となっている。

【0013】

続いて、本発明に係る半導体集積回路装置の要部回路ブロック図を図2に示す。本発明に係る半導体集積回路装置は、冗長データロード制御回路3、不揮発性メモリ4、シリアル／パラレル変換回路5、冗長回路6、及び冗長回路6によって選択又は非選択される回路を有するメモリ等の機能回路7を有している。フラッシュメモリやEEPROM (Electrically Erasable Programmable Read-Only Memory) 等の不揮発性メモリ4が第1の半導体チップ1 (図1参照) に設けられ、冗長データロード制御回路3、シリアル／パラレル変換回路5、冗長回路6、及び機能回路7が第2の半導体チップ2 (図1参照) に設けられる。そして、不揮発性メモリ4が、冗長データロード制御回路3、シリアル／パラレル変換回路5との接続端子の各々の端子とバンプ (図示せず) を介して接続される。

【0014】

第2の半導体チップが具備する機能回路7の不良箇所に応じた冗長情報が予め不揮発性メモリ4に格納される。本発明に係る半導体集積回路装置に電力が供給されると、冗長データロード制御回路3が不揮発性メモリ4に動作指令を出力するとともに、シリアル／パラレル変換回路5の動作を制御する。不揮発性メモリ4は、冗長データロード制御回路3からのシリアル制御による動作指令に応じて、予め格納している冗長情報のシリアルデータ伝送を開始する。シリアル／パラレル変換回路5は、冗長データロード制御回路3の制御に基づいて、不揮発性メモリ4から伝送されてきたシリアルデータをパラレルデータに変換して、複数の冗長回路6に出力する。各冗長回路6は、パラレルデータを入力することで、出力状態が確定され、確定されたデータに応じて、機能回路7の一部が選択又は非選択される。

【0015】

第1の半導体チップに設けられる不揮発性メモリ4から第2の半導体チップに設けられるシリアル／パラレル変換回路5へのデータ伝送及び第2の半導体チップから第1の半導体チップへのデータ伝送がシリアルデータによって行われるので、第1の半導体チップと第2の半導体チップを接続するバンプの数を少なくすることができる。一般的に、バンプが増えればそれに要するパッドの面積も増大



するので、バンプの数が減ることにより、半導体集積回路装置の小型化を図ることができる。

【0016】

次に、シリアル／パラレル変換回路と冗長回路の回路構成について説明する。シリアル／パラレル変換回路と冗長回路の一回路構成例を図3に示す。なお、図3において図4と同一の信号には同一の符号を付す。また、図3において図2と同一の部分には同一の符号を付す。

【0017】

シリアル／パラレル変換回路5はN+1個のフリップフロップFF0～FFNによって構成される。フリップフロップFF0～FFNのクロック端子(C端子)にクロック信号CKが入力される。なお、クロック信号CKは冗長データロード制御回路3(図2参照)から出力される。そして、フリップフロップFF0のデータ入力端子(D端子)がフリップフロップFF1の非反転出力端子(Q端子)及び判定回路J1に接続される。同様にして、フリップフロップFFkのデータ入力端子(D端子)がフリップフロップFFk+1の非反転出力端子(Q端子)及び判定回路Jk+1に接続される(kは1以上N-1以下の自然数)。さらに、フリップフロップFF0の非反転出力端子(Q端子)が判定回路J0に接続され、フリップフロップFFNのデータ入力端子(D端子)にシリアルデータS0が供給される。なお、フリップフロップFFNのデータ入力端子(D端子)に供給されるシリアルデータS0は、不揮発性メモリ4(図2参照)が出力する冗長情報のシリアルデータである。

【0018】

また、判定回路Jmは入力信号A(m)を入力し、フリップフロップFFmの出力に応じて出力信号PROG(m)を出力する(mは0以上N以下の整数)。さらに、アンド回路8は、判定回路J0～JNの各出力を入力し、判定回路J0～JNの各出力の論理積である信号RENを出力する。その後、半導体集積回路装置は通常動作を行う。

【0019】

シリアル／パラレル変換回路5及び冗長回路6を上記構成にすることで、図4

に示す従来の冗長回路と同様の信号R E D E Nを出力することが可能になる。

【0020】

本発明に係る半導体集積回路の製造工程において、第2の半導体チップに設けられるエンベデッド回路の不良箇所がテスタ等の測定により検出され、その検出結果から冗長情報が作成される。そして、その冗長情報が不揮発性メモリ4に格納される。その後、冗長情報を格納した不揮発性メモリとシリアル／パラレル変換回路とを接続した状態で、テスタ等を用いて予定通りに不良箇所が無くなっているか検査される。これに対して、図4に示す従来の冗長回路を組み込んだ半導体集積回路の製造工程においては、半導体集積回路の不良箇所が電気信号を用いて検出され、その検出結果から冗長情報が作成される。そして、その冗長情報に応じてフューズ素子がレーザー切断される。その後、電気信号を用いて予定通りに不良箇所が無くなっているか検査される。本発明に係る半導体集積回路装置の製造工程では、バンプ接続の工程が増加するものの従来の半導体集積回路の製造工程で用いていた多数のヒューズ素子切断用のレーザー設備を用いたり、窓として深い穴を形成したりする必要がなくなるので、製造設備の簡素化を図ることができる。

【0021】

【発明の効果】

本発明によると、半導体集積回路装置が、冗長情報を格納する不揮発性メモリを有する第1の半導体チップと、該不揮発性メモリからシリアルデータとして出力される冗長情報をパラレルデータに変換する変換回路及び該変換回路から出力されるパラレルデータを入力することで出力状態が確定する冗長回路を有する第2の半導体チップと、を備えるので、レーザーを用いることなく冗長回路の出力状態を確定することができる。これにより、多層化配線の層数が増加しても冗長回路の出力状態を容易に確定することができる半導体集積回路装置を実現することができる。また、レーザー設備を用いる必要がなくなるので、製造設備の簡素化を図ることができる。

【0022】

また、本発明によると、前記不揮発性メモリから前記変換回路へのデータ伝送

がシリアルデータによって行われるので、前記不揮発性メモリと前記変換回路とを接続するバンプの数を少なくすることができる。これにより、前記不揮発性メモリから前記変換回路へのデータ伝送がパラレルデータによって行われる場合に比べて、半導体集積回路装置の小型化・低コスト化を図ることができる。

【図面の簡単な説明】

【図1】 本発明に係る半導体集積回路装置の外観を示す図である。

【図2】 本発明に係る半導体集積回路装置の要部回路ブロック図である。

【図3】 本発明に係る半導体集積回路装置が備えるシリアル／パラレル変換回路及び冗長回路の一回路構成例を示す図である。

【図4】 従来の半導体集積回路が備える冗長回路の概略回路構成例を示す図である。

【図5】 図4に示す冗長回路のポリフューズ周辺の断面図である。

【符号の説明】

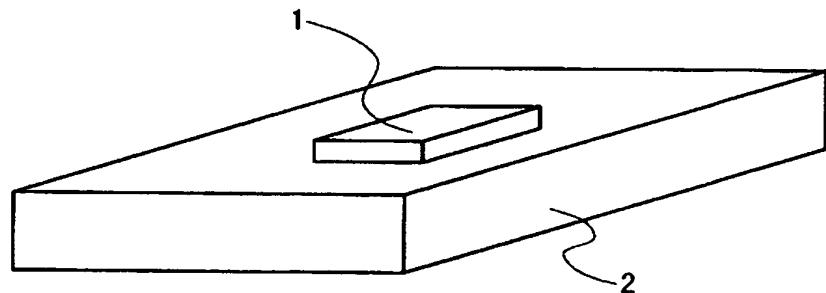
- 1 第1の半導体チップ
- 2 第2の半導体チップ
- 3 冗長データロード制御回路
- 4 不揮発性メモリ
- 5 シリアル／パラレル変換回路
- 6 冗長回路
- 7 機能回路
- 8 アンド回路

F F 0 ~ F F N フリップフロップ

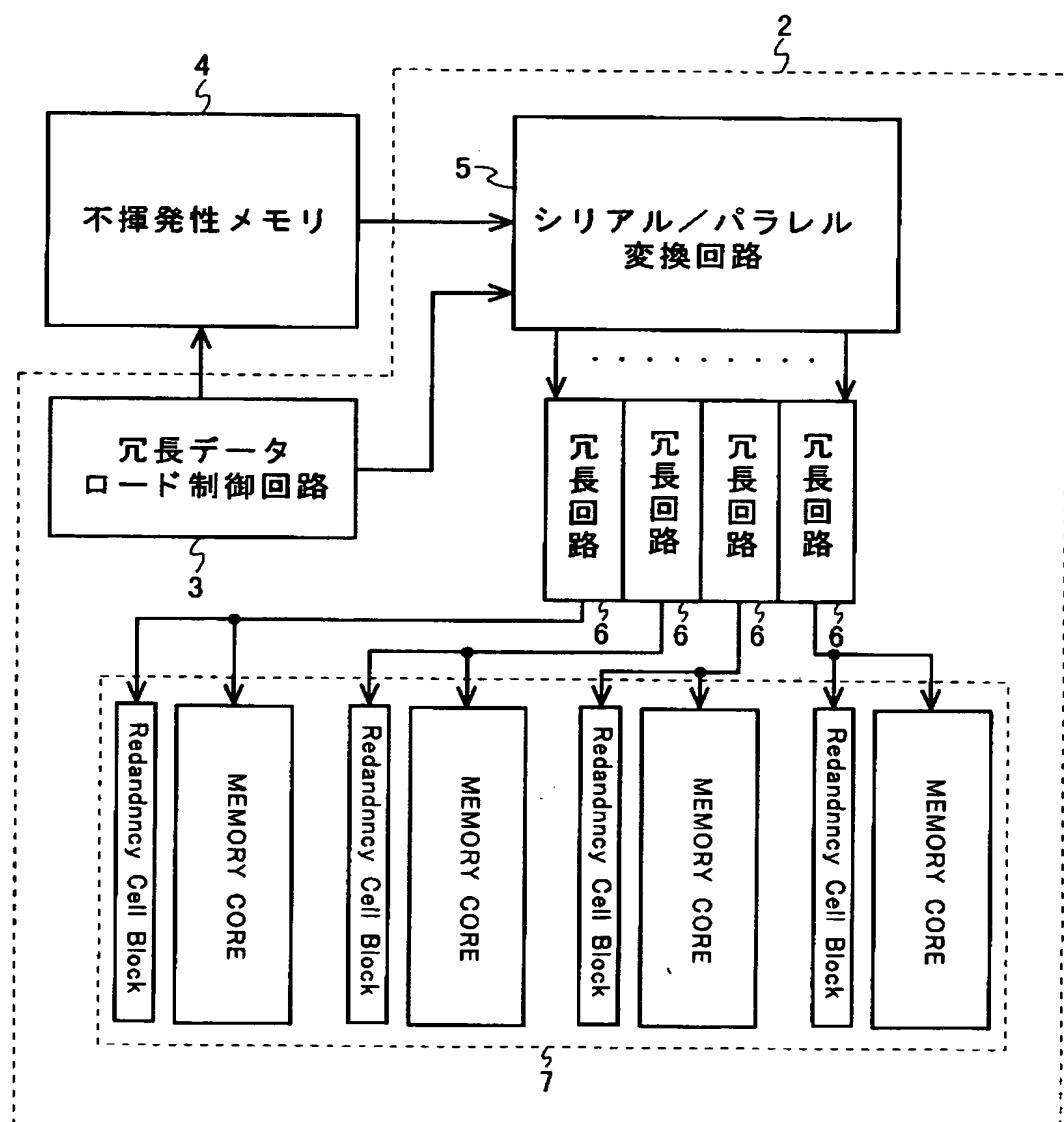
J 0 ~ J N 判定回路

【書類名】 図面

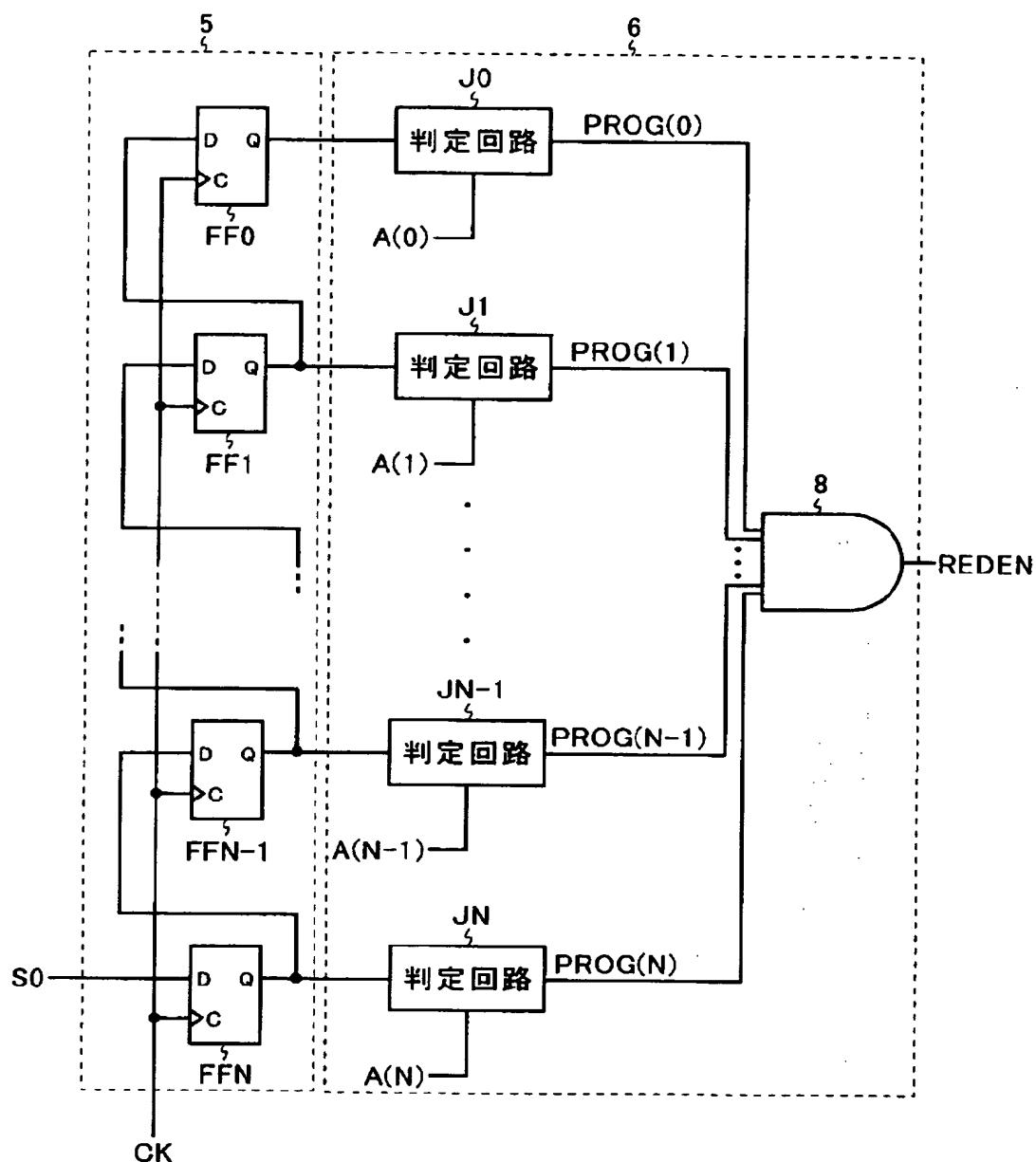
【図 1】



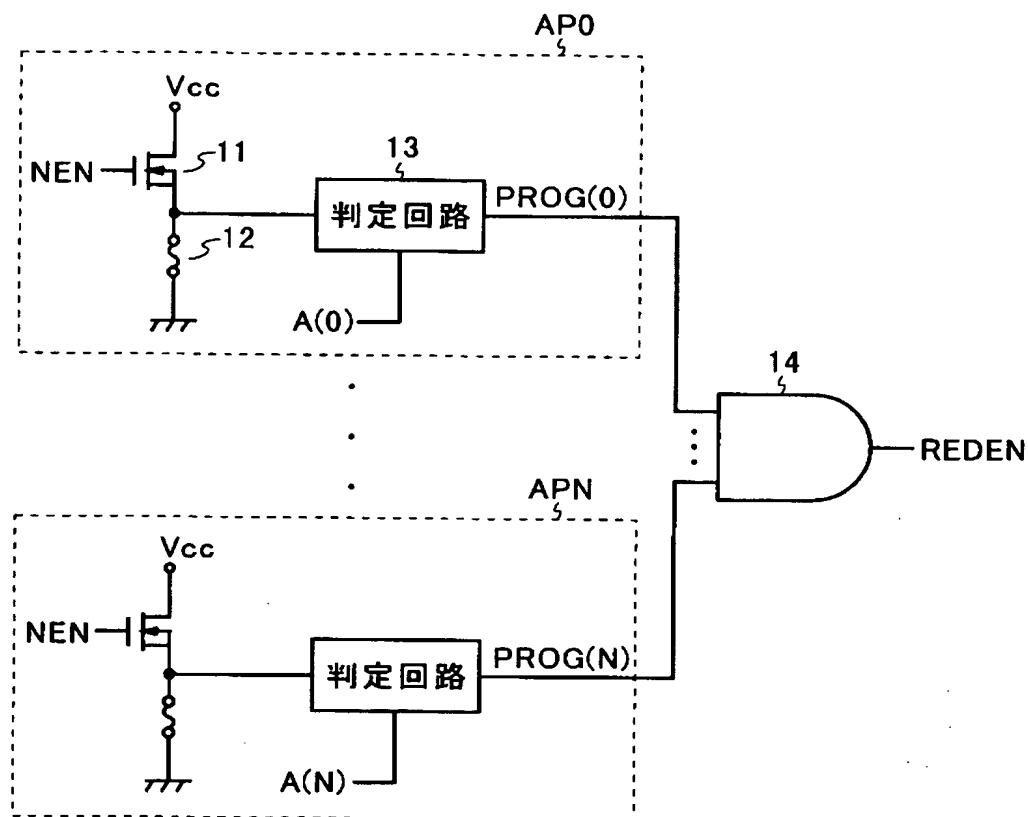
【図 2】



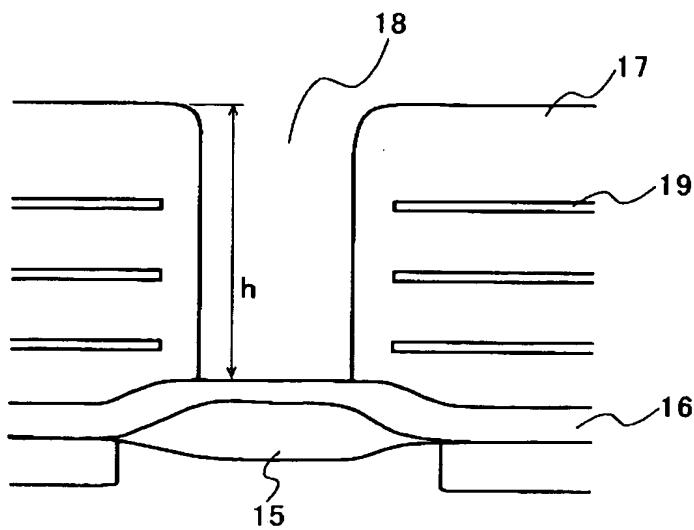
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 多層化配線の層数が増加しても冗長回路の出力状態を容易に確定することができる半導体集積回路装置を提供する。

【解決手段】 冗長情報を格納する不揮発性メモリ4を第1の半導体チップ（図示せず）に設け、不揮発性メモリ4からシリアルデータとして出力される冗長情報をパラレルデータに変換するシリアル／パラレル変換回路5、変換回路5から出力されるパラレルデータを入力することで出力状態が確定する冗長回路6、及び冗長データロード制御回路3を第2の半導体チップ（図示せず）に設け、不揮発性メモリ4が冗長データロード制御回路3、シリアル／パラレル変換回路5各々とバンプを介して接続される半導体集積回路装置。

【選択図】 図2

特願2002-349987

出願人履歴情報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住所 京都府京都市右京区西院溝崎町21番地
氏名 ローム株式会社